

A06

**Decoded autor fr sh mode in a DRAM**

Patent Number: ☐ EP0955640, A3  
Publication date: 1999-11-10  
Inventor(s): KIEHL OLIVER (US); PARENT RICHARD M  
Applicant(s): SIEMENS AG (DE); IBM (US)  
Requested Patent: ☐ JP11312386  
Application: EP19990302503 19990330  
Priority Number(s): US19980080016P 19980330  
IPC Classification: G11C11/406  
EC Classification: G11C11/406  
Equivalents: CN1232266, TW422993  
Cited Documents: US5627791; EP0473388

---

**Abstract**

---

Dynamic random access memory chips (DRAMs) in a computer memory system are made to be more available for access by a processor even though an autorefresh cycle may be in progress when the processor attempts to access the memory system. A DECODED AUTOREFRESH mode is defined which allows refresh of certain banks of the DRAM only. The bank addresses from the external DRAM controller select the bank where the AUTOREFRESH has to be performed. The DRAM controller circuitry makes sure that every bank of the DRAM gets a refresh command often enough to retain

information.



---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-312386

(43) 公開日 平成11年(1999)11月9日

(51) Int.Cl.<sup>5</sup>

G11C 11/406

識別記号

F I

G11C 11/34

3 6 3 K

審査請求 未請求 請求項の数 5 O L (全 5 頁)

(21) 出願番号 特願平11-89123

(22) 出願日 平成11年(1999)3月30日

(31) 優先権主張番号 60/080016

(32) 優先日 1998年3月30日

(33) 優先権主張国 米国 (US)

(71) 出願人 390039413

シーメンス アクチエンゲゼルシャフト  
SIEMENS AKTIENGESELLSCHAFT

ドイツ連邦共和国 D-80333 ミュンヘン  
ヴィッテルスバッハープラッツ 2

(71) 出願人 594145404

インターナショナル ビジネス マシンズ  
コーポレーション  
アメリカ合衆国ニューヨーク州 10504  
ニューヨーク アーモンク オールド  
オーチャード ロード (番地なし)

(74) 代理人 弁理士 矢野 敏雄 (外2名)

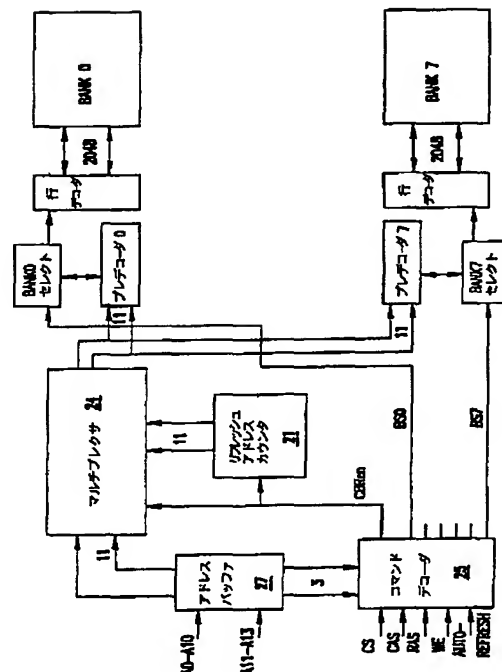
最終頁に続く

(54) 【発明の名称】 DRAMチップ

(57) 【要約】

【課題】 コンピュータメモリスistemにおけるDRAMを、オートリフレッシュサイクルの進行中にプロセッサがメモリスistemにアクセスしようとする場合に、プロセッサにより比較的有効に使用できるようにすることである。

【解決手段】 リフレッシュアドレスカウンタと、デコード手段と、セレクトとを有し、前記リフレッシュアドレスカウンタは、オートリフレッシュサイクルに対してアクティブにされるととき行アドレスを発生し、前記デコード手段は、DRAMチップの複数バンクのどれを、オートリフレッシュコマンド時にリフレッシュすべきかをデコードし、かつリフレッシュすべきDRAMのバンクを指示するバンクアドレスを発生し、前記セレクトは、リフレッシュカウンタからの行アドレスを指示する前記デコード手段にตอบสนองして、DRAMチップのバンクのうちリフレッシュすべきバンクだけを選択し、DRAMチップの他のバンクは現在の処理を継続することができる。



**【特許請求の範囲】**

【請求項1】 複数の行の複数のバンクに構成されているDRAMチップにおいて、

リフレッシュアドレスカウンタと、デコード手段と、セクタとを有し、

前記リフレッシュアドレスカウンタは、オートリフレッシュサイクルに対してアクティブにされるとき行アドレスを発生し、

前記デコード手段は、DRAMチップの複数バンクのどれを、オートリフレッシュコマンド時にリフレッシュすべきかをデコードし、かつリフレッシュすべきDRAMのバンクを指示するバンクアドレスを発生し、

前記セクタは、リフレッシュカウンタからの行アドレスを指示する前記デコード手段に回答して、DRAMチップのバンクのうちリフレッシュすべきバンクだけを選択し、DRAMチップの他のバンクは現在の処理を継続することができる、ことを特徴とするDRAMチップ。

【請求項2】 アドレスバッファを有し、

前記セクタはマルチプレクサであり、該マルチプレクサはリフレッシュアドレスカウンタからの行アドレスと、アドレスバッファからの行アドレスを受信し、

前記デコード手段は、バンクアドレスによって指示されたDRAMチップのバンクに対するオートリフレッシュコマンドに回答して、RAS(CBR)前のCASモード信号を発生し、

前記マルチプレクサは、CBR信号に回答して、リフレッシュアドレスカウンタからの行アドレスを通過させる、請求項1記載のDRAMチップ。

【請求項3】 デコード手段は、オートリフレッシュコマンドを受信するコマンドデコーダであり、オートリフレッシュコマンドの時点でリフレッシュすべきDRAMチップのバンクに対するバンクセレクト信号を直接発生する、請求項2記載のDRAMチップ。

【請求項4】 同期DRAMチップである、請求項2記載のDRAMチップ。

【請求項5】 非同期DRAMチップである、請求項3記載のDRAMチップ。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】本発明は、複数の行の複数のバンクに構成されているDRAMチップに関する。

**【0002】**

【従来の技術】ダイナミックランダムアクセスメモリ(DRAM)の記憶セルは、これに記憶されたデータを維持するため典型的には64ms毎にリフレッシュする必要がある。従来のDRAMでは、オートリフレッシュサイクルが記憶セルの単一行をリフレッシュする。内部カウンタが各オートリフレッシュサイクルでカウントアップし、DRAMのすべての行をリフレッシュする。オートリフレッシュコマンドがこのサイクルを開始する

に発行される。Joint Electronic Device Engineering Council (JEDEC) Jan.1995 による規格JC-42.3-94-126、#612参照。このコマンドを発行するために、DRAMのすべてのバンクはアイドル状態にあるか、または少なくともアクティブコマンドが適正となる状態(すなわちパワーダウン状態でない)にななければならない。従って、DRAMに記憶された情報を瞬時状態の下で維持するためには、オートリフレッシュコマンドを発行しなければならない。これは例えば各64ms毎に4092回である。リフレッシュが必要であるため、ある期間の間はシステムがDRAMを使用することができない。例えばオートリフレッシュサイクルは15.6μsで実行されるか、または各64ms毎のオートリフレッシュサイクルで4092バーストが実行される。DRAMがオートリフレッシュサイクルでリフレッシュされている間は、プロセッサによりアクセスすることができない。プロセッサがオートリフレッシュサイクルの間にメモリシステムにアクセスしようとする、1つ以上の待ち状態が発生する。これはコンピュータシステムにおける性能低下の重大な原因である。とくに新しい高密度メモリチップでは由々しい問題である。

**【0003】**

【発明が解決しようとする課題】本発明の課題は、コンピュータメモリシステムにおけるDRAMを、オートリフレッシュサイクルの進行中にプロセッサがメモリシステムにアクセスしようとする場合に、プロセッサにより比較的有效に使用できるようにすることである。

**【0004】**

【課題を解決するための手段】この課題は本発明により、リフレッシュアドレスカウンタと、デコード手段と、セクタとを有し、前記リフレッシュアドレスカウンタは、オートリフレッシュサイクルに対してアクティブにされるとき行アドレスを発生し、前記デコード手段は、DRAMチップの複数バンクのどれを、オートリフレッシュコマンド時にリフレッシュすべきかをデコードし、かつリフレッシュすべきDRAMのバンクを指示するバンクアドレスを発生し、前記セクタは、リフレッシュカウンタからの行アドレスを指示する前記デコード手段に回答して、DRAMチップのバンクのうちリフレッシュすべきバンクだけを選択し、DRAMチップの他のバンクは現在の処理を継続することができるように構成して解決される。

**【0005】**

【発明の実施の形態】本発明で、デコード・オートリフレッシュモードとは、DRAMの所定のバンクだけをリフレッシュできるモードと定義する。例えばバンク1がアイドルであり、バンク2と3はプレチャージ中であり、バンク0はアクティブであり、現在バーストリード動作している場合、オートリフレッシュコマンドはバンク1に対してだけ発行でき、他のバンクはそのタスクの

実行を継続する。デコードは、プレチャージコマンドにおけるコーディングとほとんど同じように実行される（JEDEC規格のように）。一方、A11はリフレッシュがデコードされないで、またはデコードされて実行すべきか否かを決定する。デコードされて実行すべき場合、外部DRAMコントローラからのバンクアドレスがオートリフレッシュの実行すべきバンクを選択する。DRAMコントローラ回路構成もまた、DRAMのすべてのバンクがリフレッシュコマンドを、情報を維持するのに十分に頻繁に受け取ることを確実にする。

#### 【0006】

【実施例】図1を参照すると、そこには従来のDRAMが示されている。このDRAMは $m=11$ 行と $n=3$ バンクアドレスを有する。すなわち、このDRAMは8（ $2^3$ ）バンクDRAMとして構成されており、各バンクは2048行（ $2^{11}$ ）を有する。バンク0とバンク7だけが図示されているが、他に6つのバンク、BANK1からBANK6と、関連する行デコード回路がある。各バンクに対する行デコード回路は、プレデコード回路とバンクセレクト回路によってドライブされる。プレデコード回路は、アドレスバッファ17からのアドレスを処理し、バンクセレクト回路はバンクセレクト信号BS<sub>n</sub>を受信する。このバンクセレクト信号によってバンクセレクト回路はイネーブルされ、プレデコードの出力を行デコードに導通する。

【0007】コマンドデコード15は、チップセレクト（CS）、カラムアドレスストロブ（CAS）、行アドレスストロブ（RAS）、およびライトイネーブル（WE）を含むコマンドを受信する。これらコマンドはすべて周知のものである。さらにコマンドデコードはオートリフレッシュコマンドを受信する。受信したオートリフレッシュコマンドに基づいて、DRAMのコマンドデコード15は、チップがRAS（CBR）リフレッシュモードの前のCASに現在あることを意味するコマンドを発行する。このコマンド信号（CBRen）はリフレッシュアドレスカウンタ（RAC）11をアクティブにし、行アドレスを内部アドレスバスに出力させ、アドレスバッファ17からの出力を無効にする。

【0008】次にオートリフレッシュサイクルは、すべてのバンクにおいて順次、RACに関連する行アドレスでリフレッシュを、バンク増分器12を介して実行する。すべてのバンクの選択された行がリフレッシュされると、オートリフレッシュサイクルは完了する。この機能に対する前提条件は、DRAMのすべてのバンクがプレチャージされていないと、プレチャージ時間の最小に対してアイドルであることである。

【0009】本発明は、図1に示した基本構造を変形して、デコード・オートリフレッシュサイクルをサポートする。このようなデコード・オートリフレッシュサイクルはまた非同期DRAM（SDRAM）においても有用

である。図2を参照すると、リフレッシュアドレスカウンタ21は図示のように例えば11ビットカウンタである。従ってこのカウンタは行アドレスだけを計数し、特定のバンクに対するリフレッシュは計数しない。バンクアドレスは、アドレスバッファ27からコマンドデコード25に前もって送られており、このアドレスバッファはバンクセレクト信号（BS<sub>n</sub>）を適切なバンクに発行し、後続のオートリフレッシュサイクルに対してバンクをアクティブにする。このことは、オートリフレッシュモードにおけるバンク選択を外部RAMコントローラ（図示せず）によって検出しなければならないことを意味する。さらにDRAMのコマンドデコード25は、チップがRAS（CBR）リフレッシュモードの前のCASを実行していることを表すコマンドを発行する。同じコマンド信号（CBRen）がマルチプレクサ24に、行アドレスをリフレッシュアドレスカウンタ（RAC）21から受信することを通知しなければならない、一方付加的にマルチプレクサの出力が進行中のチップ活動（例えば他のアクティブバンクでの）を中断するのを阻止する。

【0010】マルチプレクサ24の内部動作が簡単に図3に示されている。制御信号（CBRen）は、リフレッシュアドレスカウンタ21の出力に対する経路をイネーブルする。一方、同時にアドレスバッファ27の出力を禁止にする。次に11のアドレスが、すべてのバンクに対する行プレデコードに前もって送られる。同時に外部アドレス入力A11-A13がメモリコントローラによりDRAMにドライブされる。これら高次アドレスは次にアドレスバッファ27により受信され、コマンドデコード25にドライブされる。これによりバンクの行プレデコードがアドレスを処理することができる。残りのバンクはバンクセレクト信号を受信しない。従って行プレデコードは禁止されている。

【0011】択一的実施例として、バンクアドレスを図1の従来のDRAMと同じようにリフレッシュアドレスカウンタに残しておくことができる。しかしマルチプライヤ24をこの場合は変形して、モードスイッチ手段によりデコードされたオートリフレッシュおよびデコードされないオートリフレッシュを許容するようにする。

【0012】この改善は8バンクのこの単純な例ではあまり重要には思えないが、64以上のバンクシステムでは重要である。従って本発明を単純な実施例に基づいて説明したが、当業者であれば本発明の枠内で適切に改善することができる。

#### 【図面の簡単な説明】

【図1】従来のDRAMにおけるオートリフレッシュサイクルを説明するブロック回路図である。

【図2】本発明によるデコード・オートリフレッシュサイクルを説明するブロック回路図である。

【図3】図2のマルチプレクサのブロック回路図であ

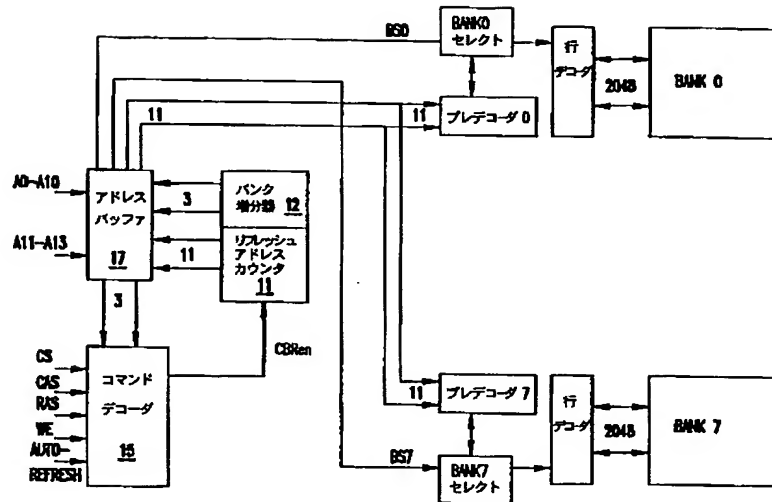
る。

【符号の説明】

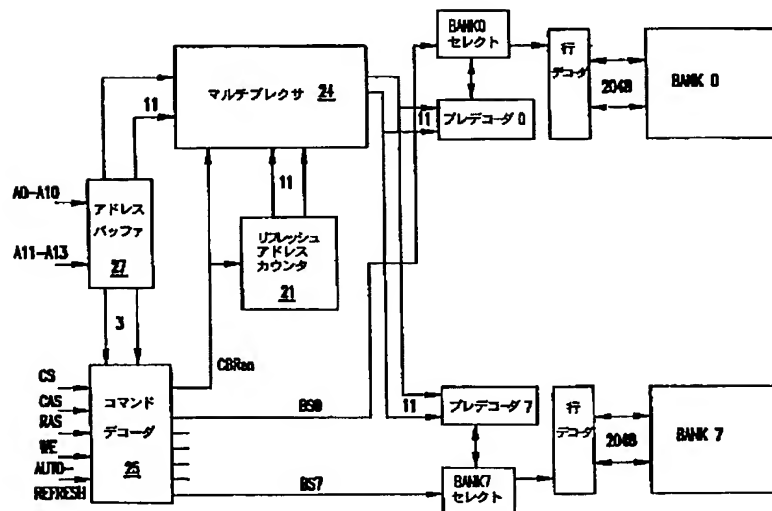
15 コマンドデコーダ  
17 アドレスバッファ

21 リフレッシュ(行)アドレスカウンタ  
24 マルチプレクサ  
25 コマンドデコーダ  
27 アドレスバッファ

【図1】



【図2】



(72)発明者 オリバー キール  
アメリカ合衆国 バーモント シャーロット  
ト テン ストーンズ 401

(72)発明者 リチャード エム パレント  
アメリカ合衆国 バーモント シェルバー  
ネ ベイフィールド ドライヴ 5